



台積公司與開放創新平台夥伴合作首推業界最完整的5奈米技術設計架構

協助客戶實現下一世代的矽晶設計，支援先進的行動與高效能運算應用

台積公司今(3)日宣布，在開放創新平台(Open Innovation Platform®, OIP)之下推出 5 奈米設計架構的完整版本，協助客戶實現支援下一代先進行動及高效能運算應用產品的 5 奈米系統單晶片設計，目標鎖定具有高成長性的 5G 與人工智慧市場。電子設計自動化及矽智財領導廠商與台積公司已透過多種晶片測試載具合作開發並完成整體設計架構的驗證，包括技術檔案、製程設計套件、工具、參考流程、以及矽智財。

台積公司 5 奈米製程已進入試產階段，能夠提供晶片設計業者全新等級的效能及功耗最佳化解決方案，支援下一代的高階行動及高效能運算應用產品。相較於台積公司 7 奈米製程，5 奈米創新的微縮功能在 ARM® Cortex®-A72 的核心上能夠提供 1.8 倍的邏輯密度，速度增快 15%，在此製程架構之下也產生出優異的 SRAM 及類比面積縮減。5 奈米製程享有極紫外光微影技術所提供的製程簡化效益，同時也在良率學習上展現了卓越的進展，相較於台積公司前幾代製程，在相同對應的階段，達到了最佳的技術成熟度。

台積公司完備的 5 奈米設計架構包括 5 奈米設計規則手冊、SPICE 模型、製程設計套件、以及通過矽晶驗證的基礎與介面矽智財，並且全面支援通過驗證的電子設計自動化工具及設計流程。在業界最大設計生態系統資源的支持之下，台積公司與客戶之間已經展開密集的設計合作，為產品設計定案、試產活動與初期送樣打下良好基礎。

台積公司研究發展與技術發展副總經理侯永清表示：「台積公司 5 奈米技術能夠提供客戶業界最先進的邏輯製程，協助他們解決人工智慧及 5G 所帶動對於更多運算能力的需求。在 5 奈米世代，設計與製程需要密切的共同最佳化，因此，我們與設計生態系統夥伴緊密的合作，以確保在客戶需要時能夠提供經由驗證的矽智財組合與電子設計自動化工具。我們總是秉持著為客戶服務的精神，協助他們在首次投片即獲得成功，並且加速產品上市的時間。」



5 奈米製程設計套件及電子設計自動化工具驗證

最新的 5 奈米製程設計套件目前已可取得用來支援生產設計，包括電路元件符號、參數化元件、電路網表生成及設計工具技術檔案，能夠協助啟動整個設計流程，從客製化設計、電路模擬、實體實作、虛擬填充、電阻電容擷取到實體驗證及簽核。

台積公司與設計生態系統夥伴合作，包括益華國際電腦科技(Cadence)、新思科技(Synopsys)、Mentor Graphics、以及 ANSYS，透過台積公司開放創新平台電子設計自動化驗證專案來進行全線電子設計自動化工具的驗證，此驗證專案的核心涵蓋矽晶為主的電子設計自動化工具範疇，包括模擬、實體實作(客製化設計、自動佈局與繞線)、時序簽核(靜態時序分析、電晶體級靜態時序分析)、電子遷移及壓降分析(閘級與電晶體級)、實體驗證(設計規範驗證、電路佈局驗證)、以及電阻電容擷取。透過此驗證專案，台積公司與電子設計自動化夥伴能夠實現設計工具來支援台積公司 5 奈米設計法則，確保必要的準確性，改善繞線能力，以達到功耗、效能、面積的最佳化，協助客戶充分利用台積公司 5 奈米製程技術的優勢。

5 奈米設計流程

除了工具驗證之外，台積公司也攜手電子設計自動化夥伴完成更進一層的設計流程驗證，採用真實的設計來為客製化與數位設計進行整合工具流程的驗證。流程驗證著眼於利用電子設計自動化夥伴各自通過驗證的工具完成關鍵的設計實作要求。驗證標準涵蓋工具的功能準備就緒、穩健性、效能、實作與簽核工具之間的關聯性、以及與真實設計的設計要求符合程度。透過完備的工具與流程的開發、改善及驗證，台積公司的客戶採用台積公司 5 奈米製程技術能夠擁有最佳的解決方案將設計付諸實作，縮短設計周轉時間，達到首次投片即成功的目標。此外，台積公司也提供參考流程支援行動及高效能運算應用，針對新的設計方法以提升設計的品質與效率。



基礎矽智財與第三方矽智財

台積公司 5 奈米設計架構提供一個完備的矽智財組合，準備支援先進行動領域及高效能運算應用的需求。基礎矽智財包括高密度及高效能的標準資料庫組與記憶體編譯器，已可從台積公司及其矽智財生態系統夥伴取得。

台積公司矽智財夥伴也提供介面矽智財核心，支援行動運算及高效能運算，矽智財核心，例如 LPDDR 或 MIPI PHY，皆已完成優化以支援行動解決方案，優化的企業專用 DDR PHY 支援高效能運算專用的應用，其他的矽智財核心，例如 USB 及 PCIe PHY，則支援兩者。這些 5 奈米矽智財核心已準備就緒來支援初始設計，矽智財矽晶報告已可從台積公司及其夥伴取得。

上市時程

目前客戶可經由 TSMC Online 下載整個台積公司 5 奈米設計架構。

Cadence 總裁 Aniruth Devgan 博士表示：「基於與台積公司多年的緊密合作，我們在 5 奈米系統單晶片的設計創新持續往前推進，涵蓋下一代人工智慧及 5G 的行動高效能運算及架構應用領域，我們也提升工具的機器學習能力來改善功耗、效能及面積的結果。為了進一步支援台積公司 5 奈米設計架構的生產版本，Cadence 已經通過台積公司最新的 5 奈米 1.0 版本驗證過程，並且提供矽智財及整合的工具、流程及方法，來支援傳統與雲端環境，包括台積公司的開放創新平台虛擬設計環境，以確保客戶能夠擁有無間縫的使用者經驗。許多共同客戶已採用 Cadence 的工具、流程與矽智財進行全面性的生產開發，成功的完成了 5 奈米生產的產品設計定案。」

Mentor IC EDA 部門執行副總 Joe Sawicki 表示：「Mentor 很榮幸再次與台積公司緊密合作，採用台積公司領先業界的 5 奈米製程技術來協助共同客戶迅速的實現設計並推出先進



的積體電路。我們的類比 FastSPICE 及 Calibre 實體驗證平台已被台積公司 5 奈米早期客戶採用，經由台積公司驗證的相同工具組合目前也被需要先進 5 奈米技術的公司所採用，推出創新的積體電路來支援行動、高效能運算、汽車、人工智慧、以及物聯網市場。」

Synopsys 設計事業群共同總經理 Sassine Ghazi 表示：「我們與台積公司在 5 奈米製程技術的堅強夥伴關係涵蓋了廣泛的設計風格在低電壓環境下能夠成功的提升與優化效能、功耗與面積。透過及早且深入的合作模式，加上我們在經由台積公司驗證的數位、簽核及客製化/類比產品上積極的研發創新，讓我們的共同客戶能夠立刻且有信心的與我們進行高品質 5 奈米設計生產的合作。採用 Synopsys 的 Fusion Design 平台及 Design Ware 矽智財，設計業者能夠壓縮具有競爭力的高效能運算設計的時程，鎖定 5G 行動及人工智慧市場。」



關於台積公司

台積公司成立於 1987 年，率先開創了專業積體電路製造服務商業模式，自此成為全球最大的專業積體電路製造服務公司。台積公司提供業界先進的製程技術和設計解決方案組合，支援蓬勃發展的全球客戶和合作夥伴生態系統，釋放全球半導體產業的創新。

2019 年，台積公司預計提供 1,200 萬片之十二吋約當晶圓的年產能，包括來自台灣、美國和中國晶圓廠區的產能支持，並提供最廣泛的製程技術，全面涵蓋自（大於）0.5 微米製程至最先進的製程技術，即現今的 7 奈米製程。台積公司係首家提供 7 奈米製程技術為客戶生產晶片的專業積體電路製造服務公司，其企業總部位於臺灣新竹。進一步資訊請至台積公司網站 www.tsmc.com.tw 查詢。

###

台積公司發言人：
何麗梅
資深副總經理暨財務長
Tel: 03-505-4602

台積公司代理發言人：
孫又文
企業訊息處資深處長
Tel: 03-568-2085
Mobile: 0988-937-999
E-Mail:
elizabeth_sun@tsmc.com

台積公司新聞連絡人：
孔培德
公共關係部專案副理
Tel: 03-563-6688 ext.
7125031
Mobile: 0988-931-352
E-Mail: pdkramer@tsmc.com

台積公司新聞連絡人：
李國維
公共關係部專案副理
Tel: 03-563-6688 ext.
7125037
Mobile: 0988-932-757
E-Mail: baker_li@tsmc.com