



## 台積公司研究成果獲得肯定成為 2019 年 VLSI 技術及電路研討會中亮點

發佈單位：台灣積體電路製造股份有限公司

發佈日期：2019 年 6 月 6 日

台積公司今(6)日宣布將在日本舉辦的 2019 年 VLSI 技術及電路研討會(2019 Symposia on VLSI Technology & Circuits)發表新興記憶體、二維材料、以及系統整合技術之研究論文。VLSI 技術及電路研討會是微電子領域中頂尖的年度國際會議，今年將於 6 月 9 日至 6 月 14 日在日本京都舉行，會中邀請台積公司發表專篇論文闡述嵌入式磁阻式隨機存取記憶體(eMRAM)的研究現況，台積公司另有三篇論文也獲得大會肯定選為亮點論文，共同探討今年研討會的主題——「將半導體推向極限，實現無縫聯結新世界」。

上述論文展現了台積公司自先進邏輯電晶體使用的創新材料、特殊製程技術組合中的新興高效能嵌入式記憶體，到可協助客戶於效能與成本之間取得最佳優勢的系統整合解決方案等全方位的技术領先地位。

台積公司技術研究副總經理黃漢森博士表示：「VLSI 研討會不僅特別亮點展示我們的論文，還邀請我們闡述研究的成果，對此台積公司感到無比的榮幸。這些論文來自我們傑出且經驗豐富的研究人員，以及年輕優秀工程師的心血結晶，台積公司向來秉持技術領先的承諾，我們有信心未來將持續提供優異的技術，協助客戶釋放創新。」

### 受邀論文

台積公司受邀發表以「嵌入式磁阻式隨機存取記憶體技術近期進展與未來方向」為題之論文，闡述一項有望取代即將面臨微縮極限的嵌入式快閃記憶體的技術——非揮發性 eMRAM。本論文陳述了具備錒錫迴焊(Solder Reflow)能力的 22 奈米 eMRAM 的研究成



果，此項技術能夠在封裝過程中承受鉛錫高溫，而且製造過程中預存的記憶體資料並不會在高溫封裝過程中流失。相較於 28 奈米嵌入式快閃記憶體，具備鉛錫迴焊能力的 22 奈米 eMRAM 大幅減少所需增加的光罩層，其寫入資料速度與可靠度亦高度提升，相當適合應用於重視保留預存資料的產品，例如穿戴式及物聯網裝置。同時，本論文亦提出，若不需具備鉛錫迴焊能力，有機會可更大幅降低 eMRAM 寫入資料功耗及讀取時間，而且仍能維持其非揮發性，呈現非揮發性的隨機存取記憶體的特性，諸多應用例如低耗電機器學習推論處理器皆能夠受惠於上述特性。

### 亮點論文

3 奈米及更先進製程電晶體微縮面臨的主要挑戰之一，在於電晶體電子流通的通道不但要更短，同時也必須更薄，以確保良好的開關閘行為，因此衍生了二維通道材料的研究。台積公司發表的「直接使用通道區域選擇性 CVD 成長法在 SiO<sub>x</sub>/Si 基板上製造的 40nm 通道長度上閘極 WS<sub>2</sub> pFET 的首次展示」論文展示了使用一種有潛力的二維材料二硫化鎢(WS<sub>2</sub>)進行大量生產的可能性，利用產業所熟悉的化學氣相沉積 (CVD) 半導體製程直接在矽晶基板上製造 WS<sub>2</sub> 短通道電晶體。原本生產 WS<sub>2</sub> 薄膜的傳統製程要求將材料先沉積於藍寶石基板，移除之後再放置於矽晶圓之上，相較之下，通道區域選擇性 CVD 提供了更加簡易的量產方法。本論文有助於量產未來世代電晶體的研究方向。

台積公司其他兩篇亮點論文則是以整體系統層次出發，藉由小晶片 (Chiplet) 的組合建構出系統而非個別電晶體的方式來解決微縮的挑戰。不同於系統單晶片 (System-on-Chip, SoC) 將系統的每一個元件放在單一裸晶上，小晶片是將不同的功能分散到可以不同的製程技術生產的個別微小裸晶，提供了靈活性與節省成本的優勢，且面積小的裸晶與較大裸晶相比，本就具有更好良率。然而，為了達到與系統單晶片相當的效能，小晶片必須能夠透過密集、高速、高頻寬的連結來進行彼此溝通。



台積公司以「適用於高效能運算的 7nm 4GHz Arm<sup>®</sup> 核心 CoWoS<sup>®</sup> 小晶片設計」為題的論文詳細介紹了 CoWoS<sup>®</sup> 先進封裝解決方案中的 7 奈米雙小晶片系統。每個小晶片內建運作時脈 4GHz 的 Arm<sup>®</sup> 核心以支援高效能運算應用，晶片內建跨核心網狀互連運作時脈可達 4GHz，小晶片之間的連結則是透過台積公司獨特的 Low-voltage-In-Package-INterCONnect (LIPINCON<sup>™</sup>) 技術，資料傳輸速率達 8Gb/s/pin，並且擁有優異的功耗效益，相較於最近其他論文所展示的類似連結解決方案的效能範圍則介於 2 Gb/s/pin 至 5.3Gb/s/pin。

最後，台積公司發表的「3D 多晶片與系統整合晶片 (SoIC) 的整合」論文則是揭露了完整的三維 (3D) 整合技術，此項系統整合晶片解決方案將不同尺寸、製程技術、以及材料的已知良好裸晶直接堆疊在一起。論文中提到，相較於傳統使用微凸塊的三維積體電路解決方案，台積公司的系統整合晶片的凸塊密度與速度高出數倍，同時大幅減少功耗。此外，系統整合晶片是前段製程整合解決方案，在封裝之前連結兩個或更多的裸晶。因此，系統整合晶片組能夠利用台積公司的整合型扇出 (InFO) 或 CoWoS 的後端先進封裝技術來進一步整合其他晶片，打造一個強大的「3D X 3D」系統級解決方案。

除了上述的亮點論文之外，台積公司亦對高通公司發表的論文「7 奈米行動系統單晶片、5G 平台技術及設計共同開發支援 PPA 與可製造性」做出貢獻，闡述高通驍龍<sup>™</sup>SDM855 行動系統單晶片及採用 7 奈米 FinFET 技術的全球第一個商用 5G 平台。

2019 年 VLSI 技術及電路研討會的相關資訊及亮點論文，請參見

<http://vlsisymposium.org/press-kit/>。



## 台積公司

台積公司成立於 1987 年，率先開創了專業積體電路製造服務之商業模式，並一直是全球最大的專業積體電路製造服務公司。台積公司以業界先進的製程技術及設計解決方案組合支援一個蓬勃發展的客戶及夥伴的生態系統，以此釋放全球半導體產業的創新。

2019 年，台積公司預計提供約 1,200 萬片之十二吋約當晶圓的年產能，來自台灣、美國和中國晶圓廠區的產能。並提供最廣泛的製程技術，全面涵蓋自（大於）0.5 微米製程至最先進的製程技術，即現今的 7 奈米製程。台積公司係首家提供 7 奈米製程技術為客戶生產晶片的專業積體電路製造服務公司，其企業總部位於臺灣新竹。進一步資訊請至台積公司網站 [www.tsmc.com.tw](http://www.tsmc.com.tw) 查詢。

# # #

台積公司發言人：  
何麗梅  
資深副總經理暨財務長  
Tel: 03-505-4602

台積公司代理發言人：  
孫又文  
企業訊息處資深處長  
Tel: 03-568-2085  
Mobile: 0988-937-999  
E-Mail: [elizabeth\\_sun@tsmc.com](mailto:elizabeth_sun@tsmc.com)

台積公司新聞連絡人：  
孔培德  
公共關係部專案副理  
Tel: 03-563-6688 ext. 7125031  
Mobile: 0988-931-352  
E-Mail: [pdkramer@tsmc.com](mailto:pdkramer@tsmc.com)

李國維  
公共關係部專案副理  
Tel: 03-563-6688 ext. 7125037  
Mobile: 0988-932-757  
E-Mail: [baker\\_li@tsmc.com](mailto:baker_li@tsmc.com)